

(11)特許出願公開番号

図1 第一の実施例のFETスイッチ回路の構成(1)

【特許請求の範囲】

【請求項1】ソースとドレイン間のチャネル部を信号の経路とする電界効果型トランジスタと、

高インピーダンス素子を間に介して上記電界効果型トランジスタのゲート端子に接続され、第1の制御電圧又は当該第1の制御電圧に比して低く設定された第2の制御電圧が交互に印加される第1の制御端子と、

上記電界効果型トランジスタのソース及びドレインに少なくとも何方か一方に対しては高インピーダンス素子を間に介して接続され、第3の制御電圧又は当該第3の制御電圧に比して高く設定された第4の制御電圧が交互に印加される第2の制御端子とを具え、上記電界効果型トランジスタをオン状態に設定するときは、上記第1の制御端子に対して上記第1の制御電圧を印加すると共に上記第2の制御端子に対しては上記第3の制御電圧を印加し、オフ状態に設定するときには上記第1の制御端子に対して上記第2の制御電圧を印加すると共に上記第2の制御端子に対しては上記第4の制御電圧を印加することを特徴とする信号切換え装置。

【請求項2】上記第1の制御電圧と上記第4の制御電圧とが同電圧に設定され、かつ上記第2の制御電圧と上記第3の制御電圧とが同電圧に設定されていることを特徴とする請求項1に記載の信号切換え装置。

【請求項3】上記第2の制御端子に対して、一方の端子を接続する抵抗が、他端において上記第1の制御端子から上記第2の制御端子への方向を順方向として接続するダイオードと接続し、当該接続点より上記ソース及び上記ドレインの少なくとも何方か一方に対しては高インピーダンス素子を間に介して接続される。ことを特徴とする請求項1に記載の信号切換え装置。

【請求項4】上記電界効果型トランジスタは、接合型の電界効果型トランジスタであることを特徴とする請求項1に記載の信号切換え装置。

【請求項5】上記電界効果型トランジスタは、MES型の電界効果型トランジスタであることを特徴とする請求項1に記載の信号切換え装置。

【請求項6】上記電界効果型トランジスタは、ガリウム砒素化合物の半導体装置でなることを特徴とする請求項1に記載の信号切換え装置。

【請求項7】上記ダイオードは、上記電界効果型トランジスタのゲートとチャネル間の接合と同種の接合で形成されることを特徴とする請求項1に記載の信号切換え装置。

【請求項8】入出力端子間に設置された信号切換え手段を複数有し、3つ以上の複数の入出力端子間の接続を切り換える複合信号切換え手段において、上記信号切換え手段は、ソースとドレイン間のチャネル部を信号の経路とする電界効果型トランジスタと、高インピーダンス素子を間に介して上記電界効果型トランジスタのゲート端子に接続され、第1の制御電圧又は

当該第1の制御電圧に比して低く設定された第2の制御電圧が交互に印加される第1の制御端子と、

上記電界効果型トランジスタのソース及びドレインに少なくとも何方か一方に対しては高インピーダンス素子を間に介して接続され、第3の制御電圧又は当該第3の制御電圧に比して高く設定された第4の制御電圧が交互に印加される第2の制御端子とを具え、上記電界効果型トランジスタをオン状態に設定するときは、上記第1の制御端子に対して上記第1の電圧を印加すると共に上記第2の制御端子に対しては上記第3の電圧を印加し、オフ状態に設定するときには上記第1の制御端子に対して上記第2の電圧を印加すると共に上記第2の制御端子に対しては上記第4の電圧を印加することを特徴とする複合信号切換え装置。

【請求項9】上記複数の入出力端子がアンテナ端子と、送信側端子及び受信側端子で構成され、第1の信号切換え手段が上記アンテナ端子と送信側端子との間に設置され、第2の信号切換え手段が上記アンテナ端子と受信側端子との間に設置され、第3の信号切換え手段が上記送信側端子と対接地間に設置され、第4の信号切換え手段が上記受信側端子と対接地間に設置されることを特徴とする請求項8に記載の複合信号切換え装置。

【請求項10】上記複数の入出力端子が第1及び第2アンテナ端子と、送信側端子及び受信側端子とで構成され、第1の信号切換え手段が上記第1のアンテナ端子と送信側端子との間に設置され、第2の信号切換え手段が上記第2のアンテナ端子と受信側端子との間に設置され、第3の信号切換え手段が上記第1のアンテナ端子と上記受信側端子との間に設置され、第4の信号切換え手段が上記第2のアンテナ端子と上記送信側端子との間に設置され、第5の信号切換え手段が上記第1のアンテナ端子と対接地間に設置され、第6の信号切換え手段が上記送信側端子と対接地間に設置され、第7の信号切換え手段が上記第2のアンテナ端子と対接地間に設置され、第8の信号切換え手段が上記受信側端子と対接地間に設置されることを特徴とする請求項8に記載の複合信号切換え装置。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

産業上の利用分野

従来の技術（図6）

発明が解決しようとする課題

課題を解決するための手段（図1、図3～図5）

作用（図2）

実施例（図1～図5）

（1）第1の実施例

（2）第2の実施例

（3）第3の実施例

（4）他の実施例

発明の効果

【0002】

【産業上の利用分野】本発明は信号切換え装置及び復号信号切換え装置に関し、例えば、高周波信号のアンテナ端末を送信側と受信側に切り換えるアンテナスイッチに適用して好適なものである。

【0003】

【従来の技術】現在、自動車電話及び携帯電話等の移動体通信ビジネスは大きく発展してきている。しかし、都市部においては、通信回線の不足が深刻になつてきており、各国で様々な移動体通信システムが立ち上がろうとしている。これらの通信システムの多くは、現在の移動体通信システムより高周波側の準マイクロ波帯を使用している。

【0004】これらの通信システムにおける携帯端末においては、半導体の電界効果型トランジスタ(FET)を使用して、準マイクロ波信号を処理する場合が多い、特に準マイクロ波帯を使用していることと、端末が携帯性を重視するために小型、低電圧駆動、低消費電力が実現できるガリウム砒素のFETを用いたマイクロ波半導体装置(MMIC)の開発が重要となつてきている。これらのマイクロ波信号処理デバイスの中で携帯端末内で高周波信号を切換える高周波スイッチが重要なキーデバイスの一つとなつてきている。

【0005】移動体通信の携帯端末で用いるスイッチで特に、アンテナ端子を携帯端末の送信端子と受信端子に切換えるアンテナスイッチにおいては、以下の様なことが要求される。FETを用いたスイッチの消費電力は、本質的には非常に小さいが、送信端子とアンテナ間の挿入損失が、携帯端末全体の消費電力に大きく影響するため、スイッチの挿入損失は極力小さく抑えることが望ましい。また送信マイクロ波電力はかなり大きい場合があるので、例えば(PDC(personal digital cellular)では1[W]程度)、大電力入力時のアンテナスイッチの透過特性の線型性、即ち、低歪化が非常に重要である。

【0006】以上のように低挿入損失化、低歪化しさらに、携帯端末であるために、小型化及び低電圧駆動化することが移動体通信の携帯端末で用いるスイッチにとつて非常に重要な開発ポイントとなることが分かる。

【0007】図6に従来アンテナスイッチに用いられているFETスイッチ回路を示す。例えば、MMICのFETスイッチ回路1としてはガリウム砒素化合物を用いた接合型のFET2が用いられる。FET2ではソースS、ドレインDにそれぞれ送信側又は受信側となる入出力端子3及び4を設ける。FET2のソースS、ドレインDに対しては制御端子5よりそれぞれ抵抗R1及びR2を介してバイアス電圧がかけられる。また抵抗R3を介してゲートGに接続される制御端子6によりゲート電圧が制御される。

【0008】

【発明が解決しようとする課題】ところで、FETを用いたスイッチの歪みには2種類のものがあり、一つは電流制限による歪みである。これはFETがオン状態のとき、高周波信号がFETのドレインDとソースS間を通過するときに高周波信号電流の最大振幅がFETのオン状態の飽和電流よりも大きいときには、高周波信号が全て通過できないため、歪みが発生する。

【0009】二つ目はFETがオフ状態のとき、高周波信号電圧がドレインD、ソースS間に印加され結果としてゲートGの最大電圧振幅がFETのピンチオフ電圧またはブレイクダウン電圧を越えた場合、リーク電力が発生して歪みが発生するという問題があつた。実際、移動体通信の携帯端末に使用する場合は低電圧駆動であるため歪みが問題となるのは入力信号によりゲート電圧がピンチオフ電圧を越える場合である。

【0010】そこで従来例えば、文献1(P.Bemkopf,M.Schindler,A.Bertrand,"A HIGH POWER K/Ka-BAND MONOLITHIC T/R SWITCH",IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium Digest,1991,pp.15-18)では信号経路に対してシヤントの部分にFETを2段直列に接続することにより、スイッチの低歪化をはかっている。しかしこのように、FETを多段接続することにより、スイッチの低歪化を計つた場合、FETの数が増加することによるデバイスサイズの増加や、FET部分の損失の増加による特性の悪化等の弊害が生じる。またこの例では、制御電圧は0/-10[V]であり、移動体通信の携帯端末への使用を考えた場合、低電圧駆動とは言い難い。

【0011】また文献2(M.J.Schindler,T.E.Kazior,"A High Power 2-18 GHz T/R Switch",1990 IEEE MTT-S Digest,pp.453-456)では、FETを多段接続する代わりに、デュアルゲートFETを使用することにより、低歪化を図っている。この場合、デバイスサイズ、FET部分の損失の点で文献1の例より有利であるが、FETを2段並べた場合に比べ、線型性は劣り、シングルゲートFETに比べ挿入損失も増加する。さらにこの例でも制御電圧が0/-14、-10、-7[V]であり、移動体通信の携帯端末への使用を考えた場合、低電圧駆動とは言い難い。

【0012】また文献3(McGrath,C.Varmazis,C.Kernrecc,Rpratt,"Novel High Performance SPDT Power Switches",1991 IEEE MTT-S Digest,pp.839-842)では文献2の例よりさらにゲート数を増したトリプルゲートFETを使用して、低損失化(L帯で0.4[dB])と大電力入力時の低歪化(制御電圧-5[V]でP1[dB](1[dB] compression point)が3[W])を両立している。この場合も制御電圧が-5[V]であり、最近の携帯端末用デバイスの制御電圧の低電圧化の傾向である例えば、3[V]程度と比べた場合、低電圧駆動とは言い

難い。

【0013】文献4（宮辻和朗、他「GaAs高出力RFSPDTスイッチIC」1994年電子情報通信学会春期大会 2-624）では強誘電体キャパシタを用いたフィードフォワードバイアス回路により、低挿入損失化（1 [GHz] で0.8 [dB]）と低歪化（制御電圧4 [V] でP1 [dB] が37 [dB/m]）、さらに小型化（基板サイズが0.9 [mm] ×1.05 [mm]）を実現している。しかし、制御電圧3 [V] ではP1 [dB] は30 [dB/m] あるので、一般的な携帯電話の取扱電力である1 [W] 程度を扱うのは難しく、従って低電圧駆動で低歪化という点で未だ問題がある。またフィードフォワードバイアス回路は、バイアス経路に対して分岐の位置のFETのみに用いられており、直列接続の位置のFETでは用いられていないため、実際の携帯端末内での使用に当たっては歪み発生の問題がある。

【0014】上述した文献1～4に見られるように、低電圧駆動化、小型化、低挿入損失化、低歪化の様々な工夫がなされているが、低電圧駆動で低歪という点ではどの例を見ても実現されていない。ここで問題となるのは、FETをオン、オフにスイッチング動作させる場合、オン時にはFETのオン抵抗を十分に小さくするためにゲート電圧をFETのピンチオフ電圧に対してある程度高く設定せねばならず、逆にオフ時にはFETを完全にピンチオフ状態にするためにゲート電圧をFETのピンチオフ電圧に対して、入力電力に応じた電力分低く設定せねばならないことである。すなわち、入力電力1 [W] 程度で3 [V] 駆動という条件では、FET単体として低歪化と低挿入損失すなわち、オフ状態のときに完全にピンチオフ状態で、オン状態のときにオン抵抗が小さいという2つの要求を同時に実現することが本質的に困難であるためである。以上の様に、移動体通信携帯端末に適した小型で低電力駆動、低挿入損失及び低歪を全て満足したアンテナスイッチの実現は現在までのところ実現されていない。

【0015】本発明は以上の点を考慮してなされたもので、低電圧駆動で低挿入損失及び大電力時の低歪化が実現できる信号切換え装置及び複合信号切換え装置を実現しようとするものである。

【0016】

【課題を解決するための手段】かかる課題を解決するため本発明においては、ソース（S）とドレイン（D）間のチャネル部を信号の経路とする電界効果型トランジスタ（2）と、高インピーダンス素子（R4、R10）を間に介して電界効果型トランジスタ（2）のゲート（G）端子に接続され、第1の制御電圧（V1）又は当該第1の制御電圧（V1）に比して低く設定された第2の制御電圧（V2）が交互に印加される第1の制御端子（11、31）と、電界効果型トランジスタ（2）のソース（S）及びドレイン（D）に少なくとも何方か一方

に対しては高インピーダンス素子（R6、R7、R11、R12）を間に介して接続され、第3の制御電圧（V3）又は当該第3の制御電圧（V3）に比して高く設定された第4の制御電圧（V4）が交互に印加される第2の制御端子（12、32）とを備え、電界効果型トランジスタ（2）をオン状態に設定するときは、第1の制御端子（11、31）に対して第1の制御電圧（V1）を印加すると共に第2の制御端子（12、32）に対しては第3の制御電圧（V3）を印加し、オフ状態に設定するときには第1の制御端子（11、31）に対して第2の制御電圧（V2）を印加すると共に第2の制御端子（12、32）に対しては第4の制御電圧（V4）を印加する。

【0017】また本発明において、入出力端子（41、42、43、51、52、53、54）間に設置された信号切換え手段（44、45、46、47、55、56、57、58、59、60、61、62）を複数有し、3つ以上の複数の入出力端子（41、42、43、51、52、53、54）間の接続を切り換える複合信号切換え装置において、信号切換え手段（44、45、46、47、55、56、57、58、59、60、61、62）は、ソース（S）とドレイン（D）間のチャネル部を信号の経路とする電界効果型トランジスタ（2）と、高インピーダンス素子（R4、R10）を間に介して電界効果型トランジスタ（2）のゲート（G）端子に接続され、第1の制御電圧（V1）又は当該第1の制御電圧（V1）に比して低く設定された第2の制御電圧（V2）が交互に印加される第1の制御端子（11、31）と、電界効果型トランジスタ（2）のソース（S）及びドレイン（D）に少なくとも何方か一方に対しては高インピーダンス素子（R6、R7、R11、R12）を間に介して接続され、第3の制御電圧（V3）又は当該第3の制御電圧（V3）に比して高く設定された第4の制御電圧（V4）が交互に印加される第2の制御端子（12、32）とを備え、電界効果型トランジスタ（2）をオン状態に設定するときは、第1の制御端子（11、31）に対して第1の制御電圧（V1）を印加すると共に第2の制御端子（12、32）に対しては第3の制御電圧（V3）を印加し、オフ状態に設定するときには第1の制御端子（11、31）に対して第2の制御電圧（V2）を印加すると共に第2の制御端子（12、32）に対しては第4の制御電圧（V4）を印加する。

【0018】

【作用】電界効果型トランジスタ（2）をオン状態に設定するときは、第1の制御端子（11、12、31、32）に対して第1の制御電圧（V1）を印加すると共に第2の制御端子（12、32）に対しては第3の制御電圧（V3）を印加し、オフ状態に設定するときには第1の制御端子（11、31）に対して第2の制御電圧（V

10

20

30

40

50

7
2) を印加すると共に第2の制御端子(12、32)に対しては第4の制御電圧(V1)を印加することにより、オン状態のときと、オフ状態のときのFET(2)の相対的なゲートバイアスをオフ状態のときにはピンチオフ電圧(Vp)に対して十分に低く設定し、オン状態のときにはピンチオフ電圧(Vp)に対して十分に高く設定して低電圧駆動で低歪及び低挿入損失な信号切換え装置(10、30)を実現することができる。

【0019】また本発明においては、入出力端子(41、42、43、51、52、53、54)間に設置された信号切換え手段(44、45、46、55、56、57、58、59、60、61、62)を切換え操作して入出力端子(41、42、43、51、52、53、54)間の接続を切り換えることにより、低電圧駆動で低歪及び低挿入損失な複合信号切換え装置(40、50)を実現することができる。

【0020】

【実施例】以下図面について、本発明の実施例を詳述する。

【0021】(1) 第1の実施例

図6との対応部分に同符号を付した図1において、10は本発明によるFETスイッチ回路の全体構成を示し、FET2のソースS、ドレインDにはそれぞれRF信号の入出力端子3及び4が設置されている。FET2は制御端子11及び12から与えられる制御電圧によりそれぞれ、ゲート電圧及びソース、ドレイン間の電圧を制御することによって入出力端子3及び4間のRF信号のオンオフを切換える。

【0022】FET2のゲート電圧を制御する制御端子11は、ゲートGとの間に高インピーダンスの抵抗R4を介して接続されると共に、抵抗R4との接続点Aで制御端子12の方向を順方向とするダイオード13の一方の端子と接続される。ダイオード13は他端を接続点Bにおいて、一端を制御端子12に接続した抵抗R5の他端に接続される。一方、ソースS、ドレインDに対してバイアス電圧を与える制御端子12は、抵抗R5を介して接続点Bに接続し、接続点Bを共通接点として、FET2の入出力端子3及び入出力端子4にそれぞれ高インピーダンスの抵抗R6及びR7を介して接続される。

【0023】ダイオード13は順方向バイアス時にはガリウム砒素のビルトイン電圧の約1.2[V]の電圧降下が発生し、抵抗R5の抵抗値に比べて十分に小さなインピーダンスを示す。さらに逆方向バイアス時には抵抗R5に比べて十分に大きなインピーダンスを示す。ここで

制御端子12と入出力端子3及び4間に接続される抵抗R6及びR7はRF信号が透過できないように十分に高インピーダンスのものを用いる。またダイオード13はガリウム砒素のpn接合を利用したものを用い、FET2も同様にガリウム砒素半導体の接合型FETを用いる。

【0024】以上の構成において、FETスイッチ回路10をオンバイアス制御する場合、制御端子11及び12それぞれに3[V]及び0[V]の制御電圧を印加すると、抵抗R5とダイオード13の接続点Bの電圧は電圧制御の3[V]からダイオード13の電圧降下分1.2[V]を差し引いた1.8[V]となる。またFETスイッチ回路10をオフバイアス制御する場合、制御端子11及び12に対してそれぞれに0[V]及び3[V]の制御電圧を印加すると、抵抗R5とダイオード13の接続点Bの電圧は3[V]となる。

【0025】すなわちゲートGとチャネル間のインピーダンスが非常に大きく、FET2のドレインD及びソースS領域がDC的に独立しているとする、オンバイアス時にFET2のゲートGの電位は3[V]となり、ドレインD及びソースSの電位は、1.8[V]となる。またオフバイアス時にはゲートGの電位は0[V]でドレインD及びソースSの電位は、3[V]となる。従ってゲートGの相対電位はオンバイアス、オフバイアス時にそれぞれ1.2[V](3[V]-1.8[V])及び-3[V](0[V]-3[V])となる。

【0026】この結果、ゲートGのオンバイアスとオフバイアスの差は4.2[V](1.2[V]-(-3[V]))となり、FET2を3/0[V]のゲート制御電圧で制御する場合の通常相対的ゲートバイアスの電位差3[V]に比べてダイオード13の電圧降下分1.2[V]だけ大きくとれる。従って図2に示すように、適当なピンチオフ電圧Vpを設定すれば、FET2オフ時のゲート電圧Voffをゲート電圧Voff'にシフトすることができる。これにより、FET2オフ時に大電力のRF信号aが入力した場合でもドレインD、ソースS間でのリーク電流(図中斜線で示す)の発生がなくなり、FET2がピンチオフ状態でなくなるのを未然に防止し得、小さなオン抵抗とオフ時の大電力入力時の低歪化が同時に実現できる。

【0027】本発明のスイッチFETスイッチ回路10と従来型のFETスイッチ回路1によるオフ時のハンドリング電力を

【表1】

本発明の FETスイッチ	本発明の FETスイッチ	従来の FETスイッチ
シングルゲートFET	0.36W	0.13W
デュアルゲートFET	1.44W	0.62W
トリプルゲートFET	3.24W	1.17W

$$\begin{aligned} V_{cont} &= 3.0[V] \\ V_b &= 1.8[V] \\ V_p &= 0[V] \end{aligned}$$

表1 FETスイッチの最大ハンドリング電力

に示す(シングルゲートFETと共に、デュアルゲートFET及びトリプルゲートFETの例も合わせて示す)。これによるとFETのゲートGのオンバイアスを等しくした場合、FETスイッチ回路10によるオフ時のハンドリング電力は従来型に比べて、約3倍優れていることが分かる。

【0028】これに対して、オフ時のハンドリング電力を等しくした場合、すなわちバイアス電圧を3[V]とした場合、FETのゲートGのオンバイアスとピンチオフ電圧の差は本発明のスイッチFET10の方が大きく、挿入損失は0.12[dB]となり従来型の0.34[dB]に比して優れていることが分かる。ここではFETのピンチオフ電圧を-0.8[V]、ゲートG幅を1[mm]としている。

【0029】以上の構成によれば、3[V]の低電圧駆動で制御するFET2のゲートGに対する相対電位が、オンバイアス時1.2[V]、オフバイアス時-3[V]となることから4.2[V]となり、ダイオード13の電圧降下分の1.2[V]だけ大きくとることができる。これにより小さなオン抵抗であると同時にオフ時に完全にピンチオフとなるようにピンチオフ電圧を設定することができるので、3[V]のような低電圧駆動で、小さなオン抵抗による低挿入損失及び大電力入力時に低歪のFETスイッチ回路が実現できる。

$$V_1 > V_2$$

の関係が成立する。また制御端子32に印加される制御電圧V3、V4には次式

$$V_4 > V_3$$

の関係が成立する。

【0033】實際上、ゲート、チャンネル間のインピーダンスが非常に大きく、またソースS、ドレインDはDC的に独立していると、FETスイッチ回路30がオン状態に設定されるときにはFET2のゲートには電圧V1が印加され、ドレインD及びソースS領域には電圧V3が印加されることになる。同様にFET2がオフ状態★

$$dV_1 = V_1 - V_3$$

*【0030】(2) 第2の実施例

また上述の実施例においては、制御端子11及び12間にダイオード13を接続して、FET2に対するオンバイアスとオフバイアス時の相対電位差を大きくした場合について述べたが、本発明はこれに限らず、図3に示すようなFETスイッチ回路30を用いるようにしても良い。すなわちFETスイッチ回路30はゲート電圧を制御する制御端子31が抵抗R10を介してゲートGに接続され、ソースS、ドレインD電圧を制御する制御端子32には抵抗R11を介してドレインD側の入出力端子33が、抵抗R12を介してソースS側の入出力端子34が並列に接続されている。抵抗R10、R11及びR12はいずれもRF信号を透過させない高インピーダンスの抵抗である。

【0031】このFETスイッチ回路30では、FETスイッチ回路をオン状態に設定する場合、制御端子31及び32に対してそれぞれ、電圧V1及びV3が印加される。逆にFETスイッチ回路30をオフ状態に設定する場合には、制御端子31及び32に対してそれぞれ電圧V2及びV4が印加され、オン時とオフ時とで交互に制御電圧が切り換えられる。

【0032】ここで制御端子31に印加される制御電圧V1、V2には次式

$$\begin{aligned} \text{【数1】} & \dots\dots (1) \end{aligned}$$

40※【数2】

$$\begin{aligned} \text{※} & \dots\dots (2) \end{aligned}$$

★に設定されるときにはFET2のゲートには電圧V2が印加され、ドレインD及びソースS領域には電圧V4が印加されることになる。

【0034】この結果、FETスイッチ回路30がオン状態のときチャンネルに対するゲートの相対的電圧 dV_1 は次式

$$\begin{aligned} \text{【数3】} & \dots\dots (3) \end{aligned}$$

によつて表される。さらにFET 2がオン状態のときゲートの相対的電圧 dV_2 は次式

$$dV_2 = V_2 - V_4$$

によつて表される。

【0035】FET 2のオン時とオフ時の相対的ゲート※

$$dV = dV_1 - dV_2$$

すなわち

$$dV = (V_1 - V_2) - (V_3 - V_4)$$

で表されるので、これらの数式1、2及び6によつて、相対的ゲートバイアスの差 dV は次式

$$dV > V_1 - V_2$$

の関係を有することが分かる。

【0036】一般に駆動電圧は制御電圧の差、すなわち本例におけるゲート制御電圧 V_1 と電圧 V_2 との差によつて表されるので、上述したようにバイアス制御することにより、オン時とオフ時の相対的ゲートバイアスの差は駆動電圧以上となる。従つて、電圧 V_1 、 V_2 、 V_3 及び V_4 の制御電圧を用いれば、ゲートのオンバイアスとピンチオフ電圧の差とオフ時のゲート電圧とピンチオフ電圧の差を通常のゲートバイアス法より大きくとることができ上述した第1の実施例と同様の効果が得られる。

【0037】(3) 第3の実施例

図4に示すSPDT(single pole dual throw)スイッチ40は、アンテナ端子41と送信側端子42及び受信側端子43が設けられ、端子間に設けられたFETスイッチによつて構成されたスイッチユニットにより、それぞれの端子間の接続が切り換えられる。アンテナ端子41に対して、送信側端子42及び受信側端子43がそれぞれスイッチユニット44及び45を間に介して接続されている。また送信側端子42及び受信側端子43はそれぞれ対接地間にスイッチユニット46及び47を介して接続されている。また送信側端子42及び受信側端子43とスイッチユニット44、45間と、スイッチユニット46及び47と対接地間にはDC成分を除去するコンデンサ(図示せず)が挿入されている。

【0038】このスイッチユニット44、45、46及び47はそれぞれが第1の実施例による交流入出力切換え装置により構成されているもので、スイッチユニット44及び45の入出力端子はFETのソースS、ドレインDに対応し、この入出力端子間でRF信号の入出力が切り換えられる。

【0039】實際上、送信側端子42から入力される交流信号をアンテナ端子41で取り出す場合、スイッチユニット44がオン状態、スイッチユニット45及び46がオフ状態に設定される。これにより送信側端子42から入力された交流信号はアンテナ端子41から取り出される。このときスイッチユニット47をオン状態にすることによつてスイッチユニット45から漏れてくる信号の経路をグランドに接地する。

* 【数4】

..... (4)

※バイアスの差 dV は数式3及び4より次式

【数5】

..... (5)

★ ★ 【数6】

..... (6)

☆ 【数7】

☆10

..... (7)

【0040】これに対して、アンテナ端子41から入力されるRF信号を受信側端子43で取り出す場合、スイッチユニット45及び46がオン状態、スイッチユニット44及び47がオフ状態に設定される。これにより受信側端子43から入力されたRF信号はアンテナ端子41から取り出される。このときのスイッチユニット46も上述したのと同様にスイッチユニット44からの漏れ信号の経路をグランドに接地する。

20 【0041】以上の構成によれば、SPDTスイッチ40のアンテナ端子41と送信側端子42又は受信側端子43間の接続をスイッチユニット44及び45で切り換えることによつて、RF信号の通る経路が送信側端子42又は受信側端子43に切り換えられる。この際、各スイッチユニットは上述したFETスイッチ回路で構成されているので、SPDTスイッチでは低挿入損失及び大電力入力時に低歪な信号出力を実現することができる。さらに上述の構成によれば、オフ状態に設定されたスイッチユニットからの漏れ信号の経路が入出力端子と接地間に接続されたスイッチユニットとコンデンサによつてアースされるので、DC雑音及びリーク電流の発生を未然に防止することができる。

【0042】(4) 他の実施例

また上述の実施例においては、FETスイッチ回路をSPDTスイッチに適用した場合について述べたが、本発明はこれに限らず、複数の端子間の接続を切り換えるダイバーシテイスイッチに適用しても良い。図5に示すダイバーシテイスイッチ50は、アンテナ(図示せず)が接続されるアンテナ端子51及び52と、送信側端子53と受信側端子54との間の接続をスイッチユニット55、56、57、58、59、60、61及び62のスイッチ操作によつて切り換え接続する。

40 【0043】ダイバーシテイスイッチ50においては、アンテナ端子51と送信側端子53間にスイッチユニット55が端子間の切換えスイッチとして設置され、アンテナ端子52と受信側端子54間にはスイッチユニット56が端子間の切換えスイッチとして設置される。さらにアンテナ端子51と受信側端子54間にスイッチユニット57が端子間の切換えスイッチとして設置され、アンテナ端子52と送信側端子53間にはスイッチユニツ

ト 5 8 が端子間の切換えスイッチとして設置される。

【0044】またアンテナ端子 5 1 と送信側端子 5 3 に対しては対接地間にそれぞれスイッチユニット 5 9 及び 6 0 が接続され、対接地間の接続が切り換えられる。同様にアンテナ端子 5 2 と受信側端子 5 4 と対接地間にそれぞれスイッチユニット 6 1 及び 6 2 が接続され、対接地間の接続を切り換える。

【0045】ここでアンテナ端子 5 1 及び 5 2、送信側端子 5 3 及び受信側端子 5 4 と各スイッチユニット間には DC 信号を遮断するコンデンサ (図示せず) がそれぞれ挿入されている。さらにスイッチユニット 5 9、6 0、6 1 及び 6 2 と対接地間にも FET のソース S 電位を DC 的にグランドから浮かせるコンデンサ (図示せず) が挿入されている。これにより FET 2 のソース S に対して正の DC 電圧でバイアスすることができる。

【0046】以上の構成において、送信側端子 5 3 からの出力をアンテナ端子 5 1 から送出する場合、スイッチユニット 5 5 をオンしてアンテナ端子 5 1 を送信側端子 5 3 と接続する。このときスイッチユニット 5 9 及び 6 0 はオフとしてグランドから切り離すと共に、スイッチユニット 5 7 及び 5 8 をオフすることによってアンテナ端子 5 2 側と切り離す。さらにアンテナ端子 5 2 側のスイッチユニット 6 1 及び 6 2 をオンとすることによってアンテナ端子 5 2 側へ漏れた信号をアースする。これにより送信側端子 5 3 から出力される信号はアンテナ端子 5 1 より送出される。

【0047】またアンテナ端子 5 2 からの入力信号を受信側端子 5 4 に送出する場合、スイッチユニット 5 6 をオンしてアンテナ端子 5 2 を受信側端子 5 4 と接続する。このときスイッチユニット 6 1 及び 6 2 はオフとしてグランドから切り離すと共に、スイッチユニット 5 7 及び 5 8 をオフすることによってアンテナ端子 5 1 側とも切り離す。さらにアンテナ端子 5 1 側のスイッチユニット 5 9 及び 6 0 をオンとすることによってアンテナ端子 5 1 側へ漏れた信号をアースする。これによりアンテナ端子 5 2 から送出される信号は受信側端子 5 4 に送出される。

【0048】また上述の実施例によれば、アンテナ端子 5 1 と送信側端子 5 3 又はアンテナ端子 5 2 と受信側端子 5 4 とを接続した場合について述べたが、上述した組合せ以外にアンテナ端子 5 1 と受信側端子 5 4 又はアンテナ端子 5 2 と送信側端子 5 3 との接続を各スイッチユニットを切り換えることにより選択することができる。

【0049】以上の構成によれば、2 つのアンテナ端子と 2 つの送受信端子間に接続された複数のスイッチユニットの接続を切り換えることによって、上述した第 1 又は第 2 の実施例の FET スイッチ回路でなるスイッチユニットの特性により低電圧駆動で低挿入損失及び大電力入力時に低歪な信号を伝送できるダイバーシテイスイッチが得られる。

【0050】なお上述の実施例においては、各入出力端子を対接地間と接続又は切り離すためのスイッチユニットに対して対接地間にコンデンサを設けてグランドから DC 的に浮かせた場合について述べたが、本発明はこれに限らず、スイッチユニットと対接地間にコンデンサを接続しない構成としても良い。さらに、上述の実施例においては、FET を接合型のものとした場合について述べたが、本発明はこれに限らず、ガリウム砒素の MES (metal semiconductor) 型の FET を用いても良い。

【0051】さらに上述の実施例においては、シングルゲートの FET を用いた場合について述べたが、本発明はこれに限らず、デュアルゲート等のマルチゲート FET を用いた構成としても良く、その場合、各ゲートを制御する制御端子とゲート間にはそれぞれ高インピーダンス素子を接続すれば良い。さらに上述の実施例においては、FET をガリウム砒素化合物の半導体により形成した場合について述べたが、本発明はこれに限らず、シリコンの半導体等によつて形成しても良い。さらに上述の実施例においては、SPDT、ダイバーシテイスイッチをアンテナスイッチとして用いた場合について述べたが、本発明はこれに限らず、SPDT、ダイバーシテイスイッチを広く一般の交流信号の入出力端の接続の切り換えに用いても良い。

【0052】さらに上述の実施例においては、制御端子 1 1 と制御端子 1 2 との間に接続されるダイオードを p n 接合型のものとした場合について述べたが、本発明はこれに限らず、シヨットキー接合型のダイオードを用いても良く、このときのダイオードのビルトイン電圧は約 0.8 [V] となる。さらに上述の実施例においては、FET スイッチ回路の各制御端子と FET のゲート、ソース、ドレインとの間に接続する高インピーダンス素子を抵抗とした場合について述べたが、本発明はこれに限らず、例えば高インピーダンス素子としてインダクタを用いても良い。

【0053】

【発明の効果】上述のように本発明によれば、FET がオン状態のときとオフ状態のときの相対的なゲートバイアスの差をオフ状態のときは、ピンチオフ電圧に対して十分に低く、またオン状態のときには、ピンチオフ電圧に対して十分に高く設定することにより低電圧駆動で低歪及び低挿入損失を実現する信号切換え装置及び複合信号切換え装置を実現し得る。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例による FET スイッチ回路の全体構成を示す回路図である。

【図 2】FET スイッチ回路をオフ状態としたときのリーク電流の発生を示す図である。

【図 3】本発明の第 2 の実施例による FET スイッチ回路の全体構成を示す回路図である。

【図 4】本発明の第 3 の実施例による SPDT スイッチ

15

の全体構成を示す回路図である。

【図5】本発明の他の実施例によるダイバーシティスイッチの全体構成を示す回路図である。

【図6】従来のFETスイッチ回路の構成を示す回路図である。

【符号の説明】

1、10、30……FETスイッチ回路、2……FE

【図1】

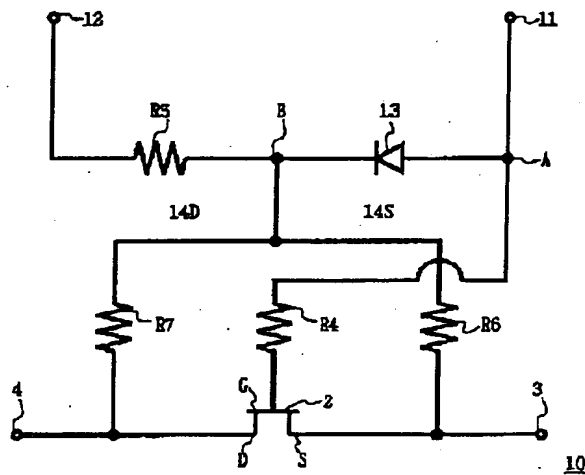


図1 第一の実施例のFETスイッチ回路の構成(1)

【図2】

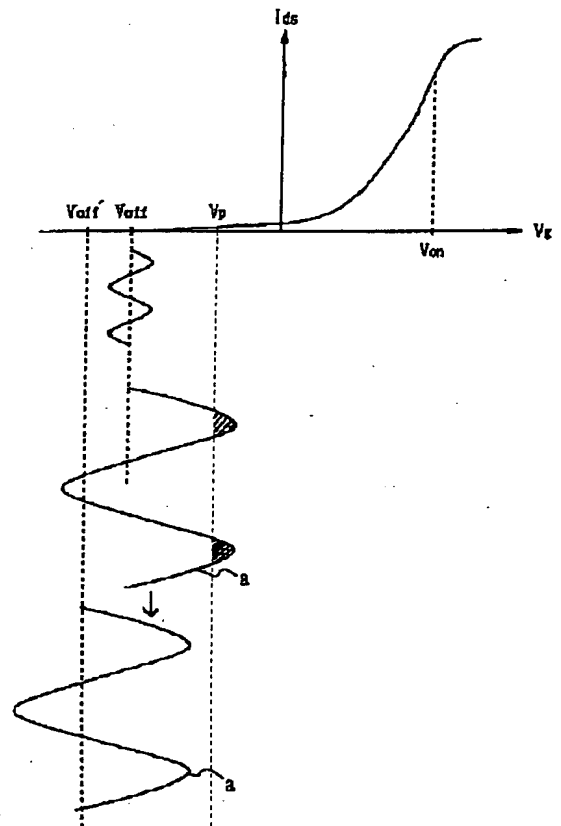


図2 FETオフ状態で発生する歪

【図4】

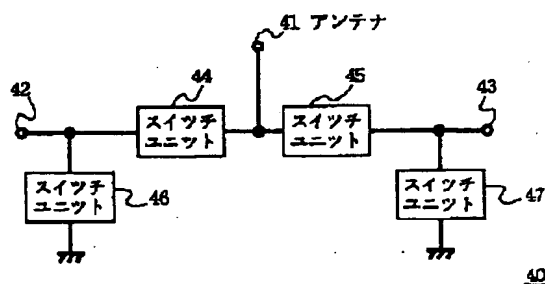


図4 SPDTスイッチの構成

【図3】

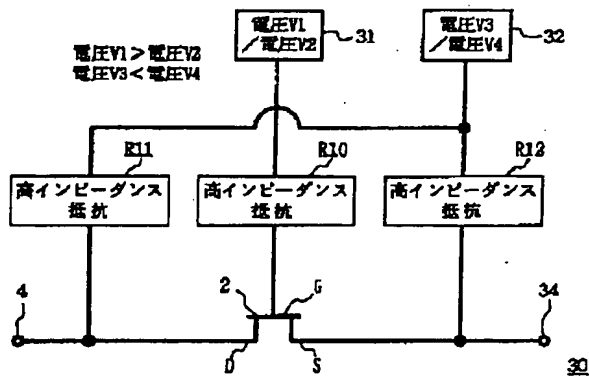


図3 第2の実施例のFETスイッチ回路の構成(2)

【図5】

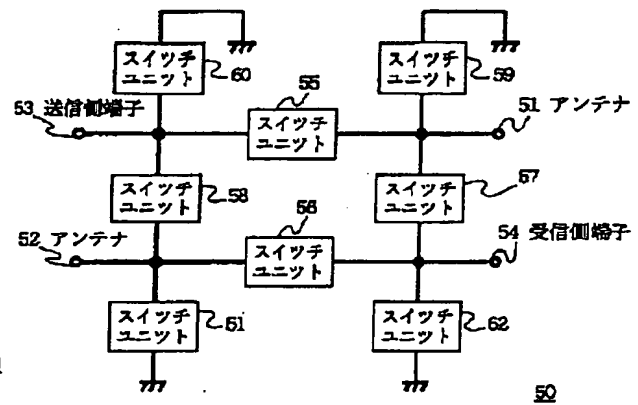


図5 ダイバーシテイスイッチの構成

【図6】

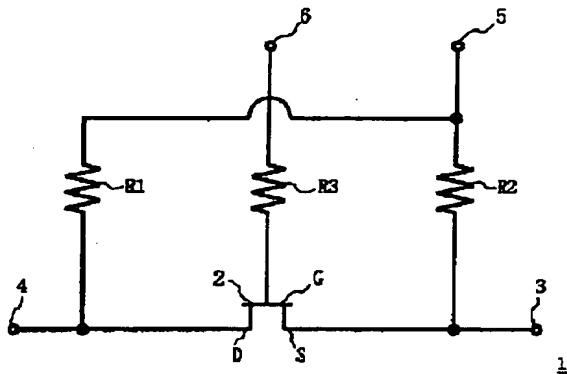


図6 従来のFETスイッチの構成

フロントページの続き

(51)Int.Cl.⁶
H03K 17/693
19/0175

識別記号 庁内整理番号
A 9184-5K

F I

技術表示箇所

H03K 19/00

101